**دانشگاه شهید بهشتی**

**دانشکده مهندسی و علوم کامپیوتر**

**اطلاعیه دفاع**

|  |  |
| --- | --- |
| **نام استاد راهنما:** آقای دکتر علی جهانیان**نام استاد مشاور: -** | **نام دانشجو:** مبینا صاحب­الزمانی**G:\aMobina\ax_madarek\untitled.png** |
| **مقطع:** کارشناسی ارشد | **گرایش:** معماری سیستم­های کامپیوتری | **رشته:** مهندسی کامپیوتر |
| **تاریخ:** 26**/**4/1400 | **نوع دفاع:*** **دفاع پروپوزال □**
* **دفاع پایان نامه ■**
* **دفاع رساله دکترا □**
 |
| **ساعت:** 10-8 |
| <http://194.225.24.96/defa-computer-3> **مکان:** |
| **عنوان:** ارائه­ی روش طراحی سخت­افزار روی آرایه دروازه­ای برنامه­پذیر براساس مدل محاسباتی دی‌اِن‌اِی |
| **داور داخلی:** آقای دکتر سید حسین عطارزاده نیاکی | **داور خارجی:** آقای دکتر سعید صفری |
| **چکیده:**در روش­های مرسوم طراحی­ سخت­افزاری، کارایی یک مدار با بیشترین تأخیر در مسیر بحرانی محدود می­شود. بنابراین مدل­های محاسبات موازی در تلاش هستند که این محدودیت مسیر بحرانی را از مدارها حذف کنند. مدل­های محاسبات موازی از قابلیت­های بالقوه در فناوری­های دیگر می­توانند استفاده کنند و سپس در فناوری مورد نظر خود از آن بهره بگیرند. در محاسبات مولکولی یا به طور خاص محاسبات مبتنی بر دی اِن اِی (دنا)، سطوح بالایی از موازی­سازی ارائه می­شود که می­تواند بر محدودیت مسیر بحرانی غلبه کند. در این مدل­ها، موازی­سازی به شکل گسترده وجود دارد که محدودیت ترتیب موجود در مسیر بحرانی را از بین می­برد.طراحی مدارهای دیجیتال بر مبنای مدل محاسباتی مبتنی بر دنا می­تواند تأخیر کل طرح (تأخیر مسیر بحرانی) را کاهش دهد. موازی­سازی گسترده در مدل محاسباتی مبتنی بر دنا به دلیل وجود تعداد بسیار بالای رشته­ی دنا است در حالی که بسترهای الکترونیکی مرسوم این مقدار از منابع را برای این نوع از محاسبات ندارند. به بیان دیگر، طراحی مدارهای دیجیتال بر مبنای مدل محاسباتی مبتنی بر دنا به تعداد بسیار زیادی منابع محاسباتی و ارتباطی نیاز دارد تا بتواند از ویژگی­های موازی­سازی وسیع در واکنش­های رشته­های دنا تقلید کند. بسترهای قدیمی طراحی دیجیتال این حجم از منابع را در اختیار نداشتند، اما خوش­بختانه امروزه FPGAهای مدرن با اندازه­های فوق­العاده بزرگ وجود دارند که سطح قابل قبولی از منابع مورد نیاز برای این هدف را فراهم می­کنند.در این پایان­نامه یک ریزمعماری و جریان طراحی ارائه شده که برای طراحی موازی مدارهای دیجیتال بر مبنای مدل محاسباتی مبتنی بر دنا مورد استفاده قرار می­گیرد. این روش طراحی اجازه می­دهد که مدارهای دیجتیال با مدل محاسباتی دنا روی FPGAها به صورت کاملاً موازی پیاده­سازی شوند. در این پایان­نامه مسأله یافتن مسیر همیلتونی گراف به عنوان یک مثال روی ریزمعماری ارائه شده پیاده­سازی شده است. مسأله مسیر همیلتونی با 4، 5 و 6 گره مورد ارزیابی قرار گرفته است که روی یک آرایه دروازه­ای Xilinx UltraScale+ ، با احتمال بین 90 تا 100 درصد پاسخ صحیح را ایجاد کرده است. سربار منابع مصرفی هم به ترتیب 3%، 14% و 54% بوده است. در ضمن زمان محاسبات هم برای به ترتیب برای 4، 5 و 6 گره، برابر با 0.8، 1.2 و 1.6 میکروثانیه است. نتایج ارزیابی نشان می­دهد که این روش طراحی، توازن قابل قبولی بین منابع سخت­افزاری و تأخیر ایجاد می­کند. این نتایج با ایجاد مصالحه­ای بین منابع مصرفی و دقت لازم برای محاسبات قابل بهبود است. نکته مهم در این روش طراحی این است که تأخیر ریزمعماری ارائه شده وابسته به گیت­های موجود در مسیر بحرانی نیست بنابراین می­تواند در طراحی­های موازی سیستم­های دیجیتالی مورد استفاده قرار بگیرد. |